

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 60-173634

(43) Date of publication of application : 07.09.1985

(51) Int.CI. G06F 9/38  
G06F 15/16  
H04Q 3/545

(21) Application number : 59-024132 (71) Applicant : FUJITSU LTD

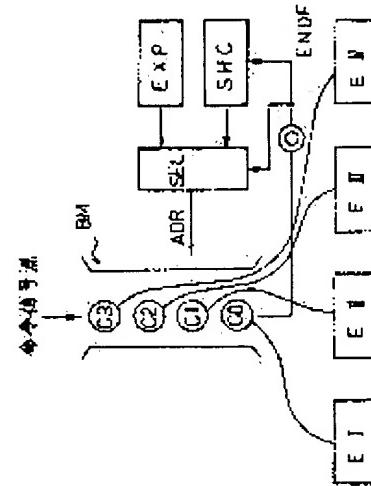
(22) Date of filing : 10.02.1984 (72) Inventor : AKAO TAKASHI

## (54) INSTRUCTION SIGNAL TRAIN PROCESSING CIRCUIT

### (57) Abstract:

**PURPOSE:** To decrease the congestion probability of a buffer circuit by scanning a first-out buffer possible for storing plural instruction signals, linking it to an execution processing section and setting a flag whether the processing is in operation or finished to squeeze the location of idle instruction after the end of execution.

**CONSTITUTION:** Four instruction signals C0WC3 are stored in a buffer memory BM in the order of arrival. The instruction signals C0WC3 have information at which execution processing section is to be executed, and a scanning circuit EXP scans it and links the execution processing sections as C0→E I ,...,C3→EIV. Idle instruction is confirmed by an end flag provided to the execution processing section is confirmed in this case and an establishing flag is set. This flag is utilized to discriminate whether the instruction signal at scanning is before or after linking, the instruction signal when the end flag is set is excluded by a shift circuit SHC with the changeover of a selector SEL and the buffer memory conducts shift operation.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## ⑫ 公開特許公報 (A) 昭60-173634

⑬ Int.Cl.<sup>1</sup>G 06 F 9/38  
15/16  
H 04 Q 3/545

識別記号

府内整理番号  
A-7361-5B  
6619-5B  
7459-5K

⑭ 公開 昭和60年(1985)9月7日

審査請求 有 発明の数 1 (全4頁)

⑮ 発明の名称 命令信号列処理回路

⑯ 特 願 昭59-24132

⑰ 出 願 昭59(1984)2月10日

⑱ 発明者 赤尾 隆 川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出願人 富士通株式会社 川崎市中原区上小田中1015番地

⑳ 代理人 弁理士 青柳 稔

## 明細書

## 1. 発明の名称

命令信号列処理回路

## 2. 特許請求の範囲

並行して動作可能な複数の実行処理部と、実行処理部に所定の動作を指示する命令信号を複数個蓄積可能な先入れ先出し方式のバッファ回路と、該バッファ回路に蓄積された各命令信号を順次スキャンして該当する実行処理部にリンクし、リンクしたものには命令実行処理中フラグを付加し、処理が終了した命令信号があれば終了フラグを立てるスキャン回路と、前記フラグが立てられたとき、該バッファ回路内における実行終了で空いた命令信号位置をつめるシフト動作を行なわせて新たな命令信号の取り込み領域を作るシフト回路とを備えることを特徴とする命令信号列処理回路。

## 3. 発明の詳細な説明

## 発明の技術分野

本発明は、複数の命令信号を蓄積するバッファ回路を備える命令信号処理回路に関し、命令の実行

を高速化しつつ該バッファの幅済確率を小さくしようとするものである。

## 従来技術と問題点

交換機の分野を例にすると、マイクロコンピュータを利用した中央制御装置から集線装置の回線制御回路へ複数の命令信号を逐次与え、回線制御回路側でそれを受けそして回線状態に応じてそれらの命令を順次実行する方法がとられる。命令処理時間は回線状態に応じて変動するので、回線制御回路側には送られてきた複数の命令信号を蓄積しておくバッファ回路が必要となる。

従来、到来する命令信号列と実際の命令処理回路（上記の例では回線制御装置）との間の蓄積緩衝（バッファ）回路としては、先頭の命令の実行が終了したら、この命令の登録されていたバッファの位置を空きにし、そこへ次の命令を詰め、これにより空いた次の命令の位置へは更に次の命令を詰め、以下これを繰り返して全体の未実行の命令をシフトする、いわゆる FIFO（ファーストイン、ファーストアウト）型のバッファが多く用

いられて来た。しかしながら、この回路では蓄積された命令群の内、先頭の命令から逐次実行していく方法である為、その先頭の命令が実行されないと後続の他の命令は全く実行できない。従って空きもできず、一方命令信号は次々と送られてくるからその収容先が見付からず、動作停止に追い込まれる恐れがある。このため複数の命令実行回路で複数の命令を同時に実行させたい場合にはこのバッファ方式は採用できない。この場合、各命令実行回路に対応してそれぞれFIFO型のバッファを置く方法も当然考えられるが、このようにすると命令信号列の源が一つである場合には特に金物量の増大が目立つ難点がある。

#### 発明の目的

本発明は、命令の蓄積バッファ回路は1つで複数の命令を同時に実行させる事ができ（命令実行の高速化）、かつ命令の実行処理が終了したものはバッファのどの位置にあろうとも、新しい命令を積み込む事ができる様に未実行の命令を全体的に詰めることでバッファ回路の幅狭確率を低減しよ

うとするものである。このことにより、命令の実行処理の時間が非常に長びく場合に従来の方法ではバッファメモリのオーバフローに結びつく場合が多いが、本発明にあればどの命令でも実行が終了次第その分だけ新しい命令を取り込む事ができる為オーバフローは起りにくくなる利点が生ずる。

#### 発明の構成

本発明は、並行して動作可能な複数の実行処理部と、実行処理部に所定の動作を指示する命令信号を複数個蓄積可能な先入れ先出し方式のバッファ回路と、該バッファ回路に蓄積された各命令信号を順次スキャンして該当する実行処理部にリンクし、リンクしたものには命令実行処理中フラグを付加し、処理が終了した命令信号があれば終了フラグを立てるスキャン回路と、前記フラグが立てられたとき、該バッファ回路における実行終了で空いた命令信号位置をつめるシフト動作を行なわせて新たな命令信号の取り込み領域を作るシフト回路とを備えることを特徴とするが、以下図示の実施例を参照しながらこれを詳細に説明する。

#### 発明の実施例

第1図および第2図は本発明の一実施例を示すブロック図で、BMはFIFO型のバッファメモリ、E1～EIVは複数の実行処理部、EXPはバッファBM内の命令信号C0～C3をスキャンするスキャン回路、SHCは該バッファBMのシフト回路、SELはバッファメモリADRのセレクタ、ENDFは実行処理部で命令の実行が終了したとき立てられる終了フラグ（フリップフロップ）である。

動作を説明する。第1図では命令信号源（例えば前述の中央制御装置）からの4個の命令信号C0～C3が到着順にバッファメモリBMに格納されている。命令信号C0～C3はそれぞれ所定の動作を指示する内容（命令）とどの実行処理部において実行されるかの情報を有しており、スキャン回路EXPは該情報をスキャンして例えばC0→E1, C1→EII, C2→EIII, C3→EIVのように各命令信号と該当する実行処理部の間をリンクする（命令を受け渡す）。このとき該当する

実行処理部が空いている（前の命令の実行を終了している）必要があるが、これは各実行処理部に設けられる終了フラグ（図示しない）で確認する（例えばこのフラグFが1なら終了、0なら実行中）。そして空いていれば上述したリンクを行い、命令実行中を示すリンク確立フラグ（以下、リンクフラグと呼ぶ）を立てておく。これは、スキャン回路EXPがバッファメモリBM内をスキャンする際にある命令信号がリンク前（待ち状態）なのかリンク後なのかを判断する上で必要であり、更にリンク後であればリンク先の実行処理部の処理進行状況（前述のフラグF）をチェックするのに用いる。

回路EXPのスキャンで、ある実行処理部では処理実行が終了していることが分れば該回路EXPは終了フラグENDFを立てる（1にする）。終了フラグENDFが立つと、セレクタSELが切り換わりシフト回路SHCの出力でバッファメモリBMがシフト動作を行う。このシフト動作は実行が終了した命令信号の位置へ後続の命令信号

をつめ、更にこのシフトで空いた位置に後続の命令をつめるというように、スキャンアドレスが最も若い番号（最も入力側に近い番号）になるまで行われる。例えば命令信号 C 2 の実行が終了したとすれば（処理終了は C 2 ということは回路 E X P のスキャンアドレスから分る）、それより先行する命令信号 C 0, C 1 はそのままにして、後続の命令信号 C 3 を C 2 の格納されていた位置へつめる。この結果、バッファメモリ B M 内の状態は第 2 図のようになる。同図に破線丸印で示す A はこのシフト動作で生成された空き領域で、ここには新しい命令信号を格納できる。この空き領域 A に格納される新しい命令信号は必ずしも空きとなつた実行処理部 E I で処理されるものとは限らない。仮に実行処理部 E I で処理されるものであれば、その前にリンク中の命令信号 C 0 が処理される必要がある。この場合、先頭の C 0 の処理が長びいても、他の命令実行処理が終了にすればそこを埋める形で次の空き領域が形成されるので、オーバフローにはならない。また、全ての実行処理

回路 E I ~ E IV が並行動作できるので、処理の高速化が図れることは明らかである。

図面ではバッファ B M は 4 個の命令を格納する容量を持つものとして図示しているが、勿論これは任意の個数の命令格納領域を持つものでよい。個々の命令格納領域に格納されるデータは、前述の説明で既に触れたように、処理内容を示す所謂命令と、その実行処理部 E I (I = I ~ IV) を示す情報と、リンクフラグである。

スキャン回路 E X P がスキャンして第 1 図で命令 C 0 が実行終了であることが分ると終了フラグ E N D F を立てる。ここでシフト回路 S H C が作動し、E N D F の立ったスキャンアドレスは下から順に 0, 1, 2, 3 とするとアドレス 0 であるからそれより上のアドレス 1, 2, 3 の命令を順にアドレス 0, 1, 2 へ移す。このシフト処理が行なわれると再び S E L が切り替りスキャン回路 E X P が動作を開始して、本例ではアドレス 0 から再びアクセス（スキャン）を始め、読取った命令に対する処理を行なって行く。

バッファ B M は F I P O 型であるが、前述のように途中からも随時読出されて処理の実行に供する事ができる。命令信号は入側から格納され、命令実行の終了したものは途中で詰められて消滅することはあるが、命令未実行のものは順次、出側へシフトされる。バッファ B M に到着した入力の順はバッファ B M の内部では維持されるので、同じ実行処理部で処理されるべき命令信号が順序逆になるようなことはない。

#### 発明の効果

以上説明した様に本発明によれば、命令の蓄積回路を複数置く事なく命令の実行を複数同時に行なわせる事ができ、しかもバッファメモリの増大及びある命令のスタッフによるバッファメモリのオーバフローも避ける事ができる。

#### 4. 図面の簡単な説明

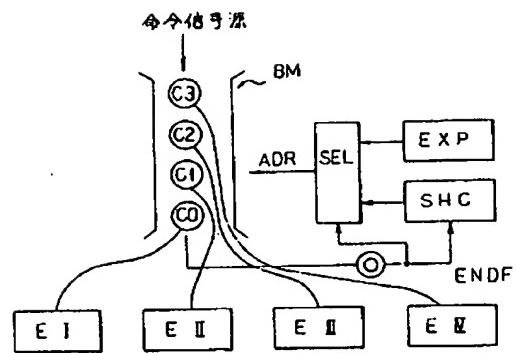
第 1 図および第 2 図は本発明の一実施例を示すプロック図である。

図中、B M はバッファメモリ、C 0 ~ C 3 は命令信号、E I ~ E IV は実行処理部、E X P はスキ

ヤン回路、S H C はシフト回路、E N D F は終了フラグである。

出願人 富士通株式会社  
代理人弁理士 青柳稔

第1圖



第2圖

